

15708

BEST AVAILABLE COPY

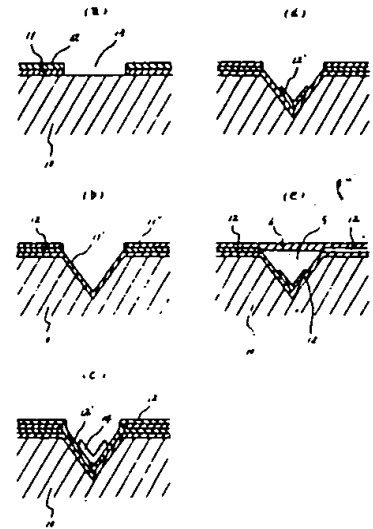
13 E 150

(54) FORMING METHOD FOR V-SHAPED ISOLATION REGION

(11) 57-159038 VA (43) 1.10.1982 V (19) JP
(21) Appl. No. 56-43800 (22) 25.3.1981
(71) FUJITSU K.K. (72) TAKESHI FUKUDA(1)
(51) Int. Cl. H01L21/76, H01L21/302, H01L21/318

PURPOSE: To obtain a preferable isolation region by forming a groove of V-shape in section in a depth reaching a P type semiconductor region in a semiconductor substrate, sequentially forming an SiO_2 film and an Si_3N_4 film on the side wall of the V-shaped groove, remaining the Si_3N_4 film only on the bottom of the groove and filling polysilicon in the groove.

CONSTITUTION: An SiO_2 film 11 and an Si_3N_4 film 12 are covered on the surface of an Si substrate 10, a V-shaped groove forming window 13 is opened, a V-shaped groove is formed by etching, an SiO_2 film 11' is covered on the surface of the groove, and a CVD SiO_2 film is formed on the film 12. Then, SiO_2 , Si_3N_4 , CVD SiO_2 layers are patterned, an Si_3N_4 film 12' is covered on the overall surface of the substrate, a photoresist 14 is formed on the bottom of the groove, with the photoresist 14 as a mask the film 12' is formed on the bottom of the groove, polysilicon is buried in the groove, and an SiO_2 film is covered on the surface. In this manner, the production of N-channel in the groove isolation of polysilicon filling type can be prevented.



450/69

⑫ 公開特許公報 (A)

昭57-159038

⑪ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 昭和57年(1982)10月1日

H 01 L 21/76

8122-5 F

発明の数 1

21/302

7131-5 F

審査請求 未請求

21/318

7739-5 F

(全 3 頁)

⑭ V字型分離領域の形成方法

⑯ 発明者 田中和夫

川崎市中原区上小田中1015番地

富士通株式会社内

⑰ 特 願 昭56-43800

⑱ 出 願 人 富士通株式会社

⑲ 出 願 昭56(1981)3月25日

川崎市中原区上小田中1015番地

⑳ 発明者 福田猛

㉑ 代理人 弁理士 松岡宏四郎

川崎市中原区上小田中1015番地

富士通株式会社内

明 細 書

1. 発明の名称

V字型分離領域の形成方法

2. 特許請求の範囲

半導体素板上に断面V字型の溝を少なくともp型の半導体領域に至る深さに形成した後、該V溝の側壁上に酸化硅素膜、窒化硅素膜を順次形成し、次いで該V溝底部近傍のみを残して前記V溝内酸化硅素膜を除去した後、多結晶シリコンでV溝内を充填する工程を有することを特徴とするV字型分離領域の形成方法。

3. 発明の詳細な説明

本発明は半導体素板上のV型アイソレーション領域の形成に関するもので、特にV溝底部に隣接するp型基板領域にn型反転層を生ぜしめることの無いV型アイソレーション領域の形成に関するものである。

主にバイポーラ型集積回路の形成に於て、{100}面を主表面とする基板結晶に<110>方向に断面V字型の溝を形成することが行なわれる。このV

溝は基板表面のn型層を分割するのが目的であるから、その下のp型領域にまで到達する深さに形成される。

一方、基板表面を平坦にする為、このV溝は多結晶シリコン（以下ポリSiと略記）で充填されるが、V溝側壁とポリSiの間には二酸化硅素（SiO₂）膜が成けられる。

このような構造では、p型基板に接するSiO₂膜がNa⁺イオンで汚染されるとp型領域にn型反転領域が生じ、各素子領域間の分離が不完全なものになる。これを防ぐ方法として、V溝底部に接する領域をp⁺型とし、反転層の発生を避けるという方法もあるが、より簡便な方法として、V溝内のSiO₂膜表面を酸化硅素（Si₃N₄）膜で覆い、Na⁺イオンをブロックするという方法がある。

この方法の問題点は次のようなものである。第1図に示すようにp型のシリコン基板（以下Si基板と略記）1上にn型層2が存在し、これにV溝が彫られ、その側壁にはSiO₂膜3が形成し

ている。その上に更に Si_3N_4 膜4が基板の水平表面からV溝側面まで連続して被覆形成されていると、素子形成の為、基板の水平表面部分の Si_3N_4 膜を除去した場合、第2図に示すように Si_3N_4 膜が通割にエッチオフされて小溝7を生ずることが出来る。このような小溝は配線層に断線を生ぜしめる等、障害発生の原因となるので、その形成は極力避けねばならない。

これは第3図のように水平部分に Si_3N_4 膜の端を形成した場合も同様で、オーバーハンダ7を生じ配線の断線の原因となる。なお、図で5はポリ Si 、6はその表面に形成された SiO_2 領域である。

従って Si_3N_4 膜で Na^+ イオンをプロットする場合、必要部分にのみ形成し、基板表面まで延在させないようにすることが必要である。

又、プロキシミティと呼ばれる露光方式では、マスクを感光層から数十 μ 離して設置し、しかもシャープな像を転写することが可能である。また、位置合せ技術の進歩により、位置合せマージン1

した Si_3N_4 膜12を保護する為のものである。また図には明示されていないがV溝は基板内のp型領域に達する深さに形成されることは当然である。

次に基板全面に Si_3N_4 膜12を被覆形成した後フォトレジストを塗布し、プロキシミティ方式等の非接触型露光法によってV溝底部にのみフォトレジスト14を残す。この状態が第4図(c)に示されている。続いてドライエッチングにより、フォトレジスト14をマスクとするパターンニングを行ない、V溝底部以外の Si_3N_4 膜を除去する。この状態が第4図(d)である。

ドライエッチングはその条件を調整することにより被エッチング材料に適合させることができるので、その利用によりフォトレジストをマスクとして Si_3N_4 膜をパターンニングすることが可能になったものである。V溝側面上の SiO_2 膜がCVD膜/熱酸化膜の2層になっている場合は、このエッチング工程でCVDSiO₂膜までを除去する。

この後、V溝内をポリ Si で埋め、表面をポリ

μm というのはさほどきびしい条件ではない。

従って本発明はこのような露光技術を利用して幅 $6\mu m$ 程度のV溝内に水平方向で約 $3\mu m$ の幅の Si_3N_4 膜を選択的に形成する。即ち、半導体基板に断面V字型の溝を水なくともp型半導体領域に至る深さまで形成した後、該V溝の側面上に SiO_2 膜、 Si_3N_4 膜を順次形成し、次いでV溝底部近傍のみを残して前記V溝内 Si_3N_4 膜を除去した後、ポリ Si でV溝内を充填することを特徴としている。

第4図に本発明の一実施例の工程を示す。まず、同図(a)に示すように Si 基板10の表面を SiO_2 膜11と Si_3N_4 膜12で覆い、V溝形成窓13を開く。次にエッチングによりV溝を形成した後、溝内の表面を SiO_2 膜11'で覆う(第4図(b))。この SiO_2 膜11'を熱酸化で形成した場合には予め Si_3N_4 膜12の上にCVDSiO₂膜を形成しておいて、 $SiO_2/Si_3N_4/CVDSiO_2$ の3層をパターンニングしておく。これは後に形成する Si_3N_4 膜をパターンニングする際、はじめに形成

して平坦化し、次にポリ Si 表面を酸化して SiO_2 層で覆うという、通常のV溝ポリ Si 分離領域の形成工程に入ることになる(第4図(c))。

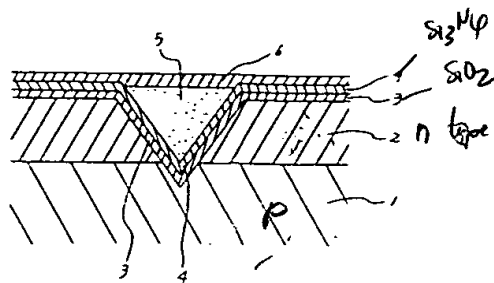
以上説明したように、本発明の方法によれば基板表面部分の Si_3N_4 膜とは連続していない Si_3N_4 膜でV溝底部を覆う事が可能となり、ポリ Si 充填型のV溝アイソレーションに於ける α チャネル発生を防止することができるのである。

4. 図面の簡単な説明

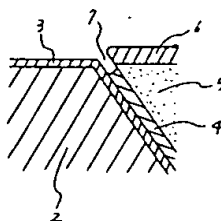
第1図乃至第3図は従来技術を示す図、第4図は本発明の実施例を示す図であって、図に於て1は Si 基板p型領域、2は同n型領域、3、6は SiO_2 、4は Si_3N_4 、5はポリ Si 、7は溝、7'はオーバーハンク、10は Si 基板、11、11'は SiO_2 、12、12'は Si_3N_4 、13はエッチング窓、14はフォトレジストである。

代理人 弁理士 松岡 宏四郎

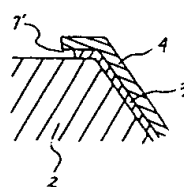
第 1 図



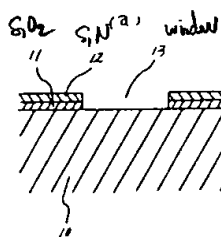
第 2 図



第 3 図



第 4 図



(d)

